

ВІДГУК

офіційного опонента доктора технічних наук, професора
ЛЕОНОВА Сергія Юрійовича
на дисертаційну роботу Демченка Олега Івановича
«Векторно-логічні моделі цифрових схем для симуляції та візуалізації»,
подану до захисту на здобуття наукового ступеня доктора філософії
з галузі знань 12 Інформаційні технології
спеціальності 123 Комп'ютерна інженерія

Актуальність теми дослідження. Задача оптимізації ресурсів при проєктуванні цифрових виробів пов'язана зі зниженням енергоспоживання та часових витрат, є актуальною та може бути досягнута шляхом спрощення обчислювальної складності алгоритмів та застосування новітніх технологій обробки даних. У зв'язку з цим дисертаційна робота спрямована на розробку теоретичних засад – моделей, методів, механізмів та архітектур для симуляції несправностей як адрес цифрових схем на основі транзакцій читання-запису, що є актуальним, та має важливе науково-практичне значення й відповідає сучасним тенденціям розвитку галузі інформаційних технологій та спеціальності 123 Комп'ютерна інженерія.

Методологія наукових досліджень. Методологія дисертаційного дослідження відповідає принципам системності викладання, логічної узгодженості, базується на комплексі взаємопов'язаних методів, що у сукупності розкривають поставлену мету та задачі дослідження. Структура та обсяг дисертації є достатніми.

У вступі обґрунтовано актуальність дослідження, визначено об'єкт, предмет, мету, завдання, методи дослідження, наукову новизну та практичне значення роботи.

У першому розділі проведено всебічний аналітичний огляд сучасних напрямів, що пов'язані з технологіями розробки цифрових виробів, моделювання несправностей, архітектури та тестування цифрових проєктів.

На основі виконаного аналізу визначено основні проблеми, обґрунтовано актуальність дослідження, сформульовано його мету та задачі.

У другому розділі представлено удосконалені розумні структури даних векторної логіки для зниження обчислювальної складності алгоритмів тестування логічних функціональностей; створено механізми тестування векторної логіки на основі використання таблиць істинності та матриць на основі логічного вектора; наведено векторне тестування логічних схем шляхом моделювання несправностей як адрес бітів логічного вектора. При цьому механізми моделювання та тестування реалізуються у пам'яті на основі read-write транзакцій без інструкції процесора. Це дозволяє реалізувати комп'ютинг тестування на енерго- та часозбережуваних механізмах, що дуже важливо для EDA-ринку. Для коректної взаємодії моделі L, T, F мають бути представлені в одному форматі: логічного вектора, таблиці істинності чи дедуктивної матриці.

У третьому розділі розвинуто математичний апарат декартової та векторної логіки для механізмів моделювання та вирішення задач good-value modeling circuit logic vector без алгоритму моделювання справної поведінки; fault modeling testing map of logic без алгоритму моделювання несправностей. Описано механізм good-value simulation цифрової схеми для синтезу логічного вектора з подальшим його використанням для побудови карти тестування несправностей на повному тесті лише за три матричні операції. Цей in-memory механізм є простим у реалізації, використовує лише read-write транзакції над бітами логічних векторів і не потребує інструкцій процесора.

Четвертий розділ присвячено верифікації структур даних, механізмів, алгоритмів шляхом розробки хмарного сервісу MOdelling for SIimulation (MOSI-HDL) для моделювання та візуалізації на основі векторно-логічного in-memory комп'ютингу, орієнтованого на використання read-write транзакцій без інструкцій процесора. Запропоновані сервіси демонструють не лише теорію векторно-логічного комп'ютингу, але й практику його застосування.

У висновках узагальнено отримані наукові та практичні результати.

Обґрунтованість і достовірність отриманих результатів підтверджена теоретичними та експериментальними дослідженнями.

Новизна представлених досліджень. Дисертаційна робота має суттєву наукову новизну та спрямована на розв'язання науково-практичної задачі зниження часових та енергетичних витрат при симуляції цифрових схем за рахунок надлишковості векторно-логічних моделей їх елементів.

Наукова новизна отриманих результатів полягає у наступному:

1) удосконалено розумні структури даних, які орієнтовані на безпроцесорний векторно-логічний modeling for fault/good-value as address simulation за допомогою read-write транзакцій, що дозволило зменшити обчислювальну складність алгоритмів симуляції до лінійної;

2) вперше запропоновано векторно-логічну модель елементів цифрової схеми, що дозволяє здійснити good-value simulation вхідних тестових наборів та fault as address simulation як адрес бітів логічного та дедуктивного вектора на основі read-write транзакцій та знизити обчислювальну складність алгоритмів тестування логічних функціональностей до лінійної;

3) вперше запропоновано архітектуру для моделювання схеми та рендерингу процесів синхронізації векторно-логічного modeling for fault/good-value as address simulation, що містить побудову моделі об'єкта у пам'яті комп'ютера та дозволяє проєктувальнику візуально супроводжувати процес modeling for simulation цифрової схеми (вручну будувати тести для покриття несправностей логічних схем);

4) вперше запропоновано механізми векторно-логічного modeling for fault/good-value as address simulation, що відзначаються лінійною алгоритмічною складністю.

Практична цінність дисертаційного дослідження. Практичне значення результатів дисертаційного дослідження визначається верифікацією розумних структур даних та алгоритмів моделювання на десятках схем та функціональних елементів з бібліотеки ISCAS. Розроблено хмарний сервіс MOSI-HDL на основі векторно-логічного in-memory комп'ютингу, що орієнтований на використання read-write транзакцій без інструкцій процесора, який містить: 1) здійснення good-value simulation вхідних тестових наборів та симуляцію несправностей як адрес бітів

логічного та дедуктивного вектора на основі read-write транзакцій; 2) механізми good-value simulation of test set as address цифрової схеми без процесора, механізми fault as address simulation цифрової схеми без участі процесора; 3) механізм fault as address simulation вхідного набору, використовуючи квадратичну матрицю симуляції; 4) механізми рендерингу результатів моделювання у чотирьох масштабованих вікнах, що виводяться на екран монітора. Реалізовано механізми ергономічного рендерингу та синхронізації результатів моделювання в чотирьох масштабованих вікнах, що виводяться на екран монітора. Усі інноваційні рішення спрямовані створення економічного масового комп'ютингу. Хмарні сервіси MOSI HDL можуть бути корисними для студентів та інженерів, які займаються верифікацією цифрових проєктів на основі векторно-логічних елементів. Запропоновані рішення мають обмеження, але всі вони оговорені у роботі.

Апробація результатів. Основні результати дисертаційної роботи висвітлені у 9 друкованих працях, серед яких 3 статті, а саме: 1 стаття – в міжнародному науковому журналі за кордоном, що індексується Scopus, 2 статті – у наукових журналах, включених до «Переліку наукових фахових видань України», з них 1 – у журналі категорії А, що входить до наукометричної бази Web of Science, та 1 – категорії Б, а також 3 тез доповідей у матеріалах міжнародних наукових конференцій, з них 1 входить до науково-метричної бази Scopus.

Результати роботи були представлені та обговорені на наступних конференціях: IEEE East-West Design and Test Symposium, 2026; 15 Міжнародна науково-технічна конференція «Сучасні напрями розвитку інформаційно-комунікаційних технологій та засобів управління (Current directions of development of information and communication technologies and control tools)», Баку – Харків – Жиліна, 2025; XXX Міжнародний молодіжний форум «Радіoeлектроніка та молодь у XXI столітті», Харків, 2026; а також на двох виставках технічної творчості молоді в рамках Міжнародного молодіжного форуму «Радіoeлектроніка та молодь у XXI столітті» 2025, 2026 років з отриманням призових місць.

Результати дисертації у складі векторно-логічних моделей та механізмів впроваджені у навчальний процес Харківського національного університету радіоелектроніки (акт про впровадження від 15.06.2026).

Обсяг та якість публікацій підтверджують достатній рівень апробації результатів дослідження та їх відповідність темі дисертації.

Дотримання академічної доброчесності. Поршень принципів академічної доброчесності в дисертаційній роботі не виявлено. Запозичення оформлені належним чином, результати дослідження є оригінальними та отримані автором самостійно.

Зауваження. Незважаючи на високий науковий рівень дисертаційної роботи, до неї можна висунути окремі зауваження.

1. Розумні структури даних – це суперпозиція двох таблиць істинності, матриць активізації та логічного вектора, які використовуються з метою спрощення алгоритмів моделювання. Які з них удосконалені у роботі?

2. Чи можна за допомогою карт тестування на основі логічного вектора визначати несправності у сполучних кабелях між платами чи кристалами складної цифрової системи?

3. Яка найкраща стратегія та економіка використання методу моделювання схеми для верифікації цифрових проєктів: на системному рівні опису проєкту чи фізично імплементації проєкту в залізо?

4. Не зовсім зрозуміло, чи можна побудувати карту тестування для функціональних послідовних елементів із пам'яттю: для регістрів, лічильників, тригерів, лутів у FPGA, інших елементів пам'яті?

5. З погляду швидкодії логіка процесора завжди більше, ніж цикл звернення до пам'яті. Якщо запропоновані алгоритми будуть реалізовані в пам'яті, то їх час моделювання цифрових схем та елементів буде вищим. У чому тоді переваги запропонованих методів, орієнтованих на моделювання несправностей у пам'яті?

Зазначені зауваження не впливають на загальну позитивну оцінку роботи.

Загальна оцінка роботи. Дисертаційна робота Демченка Олега Івановича «Векторно-логічні моделі цифрових схем для симуляції та візуалізації» є завершеним науковим дослідженням, у якому вирішено актуальне науково-практичне завдання, пов'язане з розробкою економічно ефективного векторно-логічного моделювання в пам'яті для симуляції несправностей як адрес цифрових схем, заснованих на транзакціях читання-запису без інструкцій процесора.

Робота має логічно побудовану структуру, матеріал викладено послідовно, та аргументовано. Отримані результати достатньо обґрунтовано теоретично та підтверджено експериментально, що демонструє їх наукову новизну та практичну значущість.

З урахуванням теоретичної значущості виконаного дослідження, рівня наукової новизни, обґрунтованості та достовірності отриманих результатів, а також їх практичної спрямованості, можна зробити висновок, що дисертаційна робота повністю відповідає вимогам пунктів 6, 7, 8 і 9 Порядку присудження ступеня доктора філософії, затвердженого постановою Кабінету Міністрів України від 12 січня 2022 року № 44. На підставі проведеного аналізу вважаю, що Демченко Олег Іванович заслуговує на присудження ступеня доктора філософії в галузі знань 12 Інформаційні технології за спеціальністю 123 Комп'ютерна інженерія.

Офіційний опонент:

доктор технічних наук, професор,
заступник завідувача кафедри з наукової роботи,
професор кафедри комп'ютерної інженерії та програмування
Національного технічного університету
"Харківський політехнічний інститут"

Сергій ЛЕОНОВ

26 серпня 2026